

10 / 522572
PCT/KR 03 / 01526
20 / KR 30.07.2003

REC'D 13 AUG 2003

WIPO PCT

28 JAN 2005

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2002년 제 58158 호
Application Number PATENT-2002-0058158

출원년월일 : 2002년 09월 25일
Date of Application SEP 25, 2002

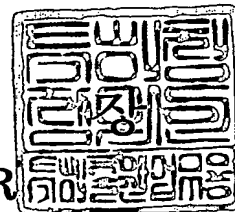
출원인 : 학교법인 포항공과대학교
Applicant(s) POSTECH FOUNDATION



2002 년 10 월 04 일

특 허 청

COMMISSIONER



PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.09.25
【발명의 명칭】	양극 산화 공정을 이용한 일체형 3극 구조 전계방출 소자 및 제조방법
【발명의 영문명칭】	AN ELECTRIC FIELD EMISSION ELEMENT HAVING AN INTEGRATED TRIODE STRUCTURE WHICH IS FABRICATED BY USING ANODIC OXIDATION PROCESS AND FABRICATING METHOD THEREOF
【출원인】	
【명칭】	학교법인 포항공과대학교
【출원인코드】	2-1999-900096-8
【대리인】	
【성명】	장성구
【대리인코드】	9-1998-000514-8
【포괄위임등록번호】	2000-016240-3
【대리인】	
【성명】	김원준
【대리인코드】	9-1998-000104-8
【포괄위임등록번호】	2000-016243-5
【발명자】	
【성명의 국문표기】	이건홍
【성명의 영문표기】	LEE, Kun-Hong
【주민등록번호】	561123-1052512
【우편번호】	790-784
【주소】	경상북도 포항시 남구 효자동 산31 포항공과대학교 전자컴퓨터 공학 부
【국적】	KR
【발명자】	
【성명의 국문표기】	황선규
【성명의 영문표기】	HWANG, Sun-Kyu
【주민등록번호】	771204-1226124
【우편번호】	790-784

【주소】	경상북도 포항시 남구 효자동 산31 포항공과대학교 전자컴퓨터 공학 부		
【국적】	KR		
【발명자】			
【성명의 국문표기】	정수환		
【성명의 영문표기】	JEONG, Soo-Hwan		
【주민등록번호】	700707-1323419		
【우편번호】	790-784		
【주소】	경상북도 포항시 남구 효자동 산31 포항공과대학교 전자컴퓨터 공학 부		
【국적】	KR		
【우선권주장】			
【출원국명】	KR		
【출원종류】	특허		
【출원번호】	10-2002-0044921		
【출원일자】	2002.07.30		
【증명서류】	첨부		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 장성구 (인) 대리인 김원준 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	4	면	4,000 원
【우선권주장료】	1	건	26,000 원
【심사청구료】	37	항	1,293,000 원
【합계】	1,352,000 원		
【감면사유】	학교		
【감면후 수수료】	689,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통 2.우선권증명서류 및 동 번역문[원출원의 것을 원용하여 제출을 생략 함]_1통		

【요약서】**【요약】**

본 발명은 양극 산화 공정을 이용한 일체형 3극 구조 전계방출 소자 및 그 제조방법에 관한 것이다. 즉 본 발명은 유리 및 웨이퍼 기판위에 각 전극과 알루미늄층을 형성하고 양극 산화를 통해 알루미늄층에 다수의 나노미터 단위 미세 홀을 형성한 후, 각 미세 홀내에 전계방출을 위한 에미터를 제조하고 양극용 최상부 전극을 알루미늄층위에 밀폐 형성시켜 일체화된 진공 미세 3극 구조의 전계방출 소자를 구현함으로써, 종래의 전자 빔 리소그래피 방법을 이용하지 않고도 일정한 크기와 배열을 가지는 미세 홀을 얻을 수 있으며, 또한 낮은 전압에서도 높은 전류밀도를 가지는 소자를 얻을 수 있게 되는 이점이 있다.

【대표도】

도 2f

【명세서】**【발명의 명칭】**

양극 산화 공정을 이용한 일체형 3극 구조 전계방출 소자 및 제조방법{AN ELECTRIC FIELD EMISSION ELEMENT HAVING AN INTEGRATED TRIODE STRUCTURE WHICH IS FABRICATED BY USING ANODIC OXIDATION PROCESS AND FABRICATING METHOD THEREOF}

【도면의 간단한 설명】

도 1은 종래 전계방출 소자의 모식도,

도 2a 내지 도 2f는 본 발명의 실시 예에 따른 일체형 3극 구조 전계방출 소자 제조 공정 수순도.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <3> 본 발명은 전계방출 소자 및 그 제조방법에 관한 것으로, 특히 양극 산화 공정을 이용한 일체화형 진공 미세 3극 구조 전계방출 소자 및 제조방법에 관한 것이다.
- <4> 통상적으로 전계방출 소자라 함은 금속 또는 반도체 표면에 강한 전계를 인가하여 터널링(Tunneling) 효과에 따라 금속 또는 반도체 표면으로부터 진공 중으로 전자가 방출되도록 구현한 소자를 의미한다.
- <5> 한편, 최근에는 상기 전계방출 소자 중에서도 고 전계를 이용하여 전계를 방출시키는 진공 미세 소자의 중요성이 부각되어 이에 대한 연구가 활발히 진행되고 있다. 이는 상기 진공 미세 소자를 이용하는 경우 전송 매질이 진공이므로 온도와 방사선에 영향을

받지 않고, 전자의 이동시 에너지 손실이 발생하지 않아 높은 주파수에서 높은 전력을 생성할 수 있기 때문이며, 또한 고체 소자에서 발생하는 시간 지연이 없어 빠른 응답 속도가 가능하고 종래의 고체 소자와 같이 단일 실리콘 칩 상에 집적화 시킬 수 있어 다양한 분야에 응용이 가능하기 때문이다.

<6> 도 1은 종래 전계 방출 소자의 단면도를 도시한 것으로, 이는 1968년에 발표된 논문인 스펀트(Spindt)의 "응용 물리 저널(C. A. Spindt, Journal of Applied Physics)"지 제39권 3504페이지에 개시된 전자선 사진 식각 공정을 이용하여 마이크로미터 크기의 전계방출 소자를 제작한 3극 구조의 전계방출 소자 모식도이다.

<7> 상기 도 1을 참조하면, 먼저 음극용 금속 박막이 형성된 유리 기판(100)이나 실리콘 기판(100)상에 하부 전극층(Cathode Layer)(102), 저항층(Resistive Layer)(104), 절연층(Insulating Layer)(106), 그리고 게이트 전극(Gate Electrode)(108)을 형성시킨 후, 사진 식각 공정을 수행하여 마이크로미터 이하의 지름을 갖는 원형의 감광막 패턴을 형성시킨다.

<8> 이어 반응성 이온 식각(Reactive ion etching)법으로 실리콘 표면까지 산화막을 식각하고, 기판 표면에 대해 수직방향에 위치한 곳에 텅 물질로 사용되는 몰리브덴(Mo), 텅스텐(W), 크롬(Cr) 등과 같은 증착 물질을 위치시킨 후, 전자 빔 증착법(Electron beam evaporation)으로 기판에 대해 수직방향으로 증착시켜 원추 모양의 금속 전계방출 텅(110)을 형성시킴으로서, 전계 방출 소자를 완성하게 된다.

<9> 그러나 상기와 같은 종래 전계 방출 소자 제조방법에서는 대면적에 마이크로미터 이하의 구멍을 일정하게 정렬하는 것이 용이하지 않으며, 또한 텅과 전극 사이의 간격이 수 백 마이크로미터에 이르기 때문에 구동 전압이 증가되는 문제점이 있다. 또한 텅 층

단부와 게이트 홀과의 거리도 구동 전압에 큰 영향을 미치는데 게이트 홀의 크기를 1마이크로미터 이하로 줄이기 위해서는 새로운 공정이 추가로 필요하게 되어 공정이 복잡해지는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<10> 따라서, 본 발명의 목적은 양극 산화 공정을 이용하여 대 면적에 일정한 크기와 배열을 갖는 나노미터 사이즈의 게이트 홀을 간단하게 구현하며, 전극 사이의 간격이 좁게 형성되도록 함으로써, 낮은 전압에서도 높은 전류밀도로 구동 가능하게 되는 일체형 3극 구조 전계방출 소자 및 제조방법을 제공함에 있다.

<11> 상술한 목적을 달성하기 위한 본 발명은, 양극산화 공정을 이용한 일체형 3극 구조를 가지는 전계방출 소자 및 제조방법에 있어서, 지지층 상부에 형성되어 전계 방출 소자의 음극으로 사용되는 하부 전극층과; 균일한 전계방출 특성을 위해 상기 하부 전극 상부에 형성되는 저항층과; 게이트 홀로 사용되는 다수의 미세 홀이 형성된 게이트 절연층과; 상기 게이트 절연층 상부에 형성되는 게이트 전극층과; 상기 게이트 전극 상부에 절연층으로, 게이트 절연층의 홀과 단일채널을 이루는 알루미늄층과; 구조의 밀폐와 양극으로 사용되는 상부 전극층과; 상기 게이트 절연층에 형성된 각 미세 홀 내 생성되며, 고 전계에서 전자를 방출하는 에미터;를 포함하는 일체형 3극 구조 전계방출 소자를 구현하며,

<12> (a)지지층 상부에 음극용 하부 전극층을 형성시키는 단계와; (b)상기 하부 전극층 상부에 저항층, 게이트 절연층, 게이트 전극층, 박막 알루미늄층을 순차적으로 형성시키는 단계와; (c)상기 알루미늄층을 양극 산화하여 다수의 미세 홀이 형성된 상부 알루미늄층을 형성시키는 단계와; (d)상기 알루미늄층의 각 미세 홀이 게이트 절연층의 표면까

지 형성되도록 상기 상부 알루미늄의 배리어 층과 게이트 전극층을 식각시키는 단계와;
 (e)상기 게이트 절연층을 식각하여 상기 상부 알루미늄층의 각 미세 홀과 단일 채널로
 연결되는 다수의 미세 홀이 형성된 게이트 절연층을 형성시키는 단계와; (f)상기 게이트
 절연층 각 미세 홀 내에 고 전계에서의 전자 방출을 위한 에미터를 형성시키는 단계와;
 (g)상기 알루미늄층 상부에 구조 밀폐 및 양극으로 사용되는 상부 전극층을 형성시키는
 단계;를 포함하는 일체형 3극 구조 전계방출 소자 제조방법을 구현하는 것을 특징으로
 한다.

【발명의 구성 및 작용】

- <13> 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시 예의 동작을 상세하
 게 설명한다.
- <14> 도 2a 내지 도 2f는 본 발명의 실시 예에 따른 양극산화 공정을 이용한 일체형 3극
 구조를 가지는 전계 방출소자의 제조 공정 수순도 이다. 이하 상기 도 2a 내지 도 2f를
 참조하여 일체형 3극 구조를 가지는 전계 방출소자의 제조공정을 상세히 설명하기로 한
 다.
- <15> 먼저 도 2a는 지지층(200) 상부에 스퍼터링(Sputtering) 및 저압 화학기상법
 (LPCVD)을 이용하여 3극 구조에 사용될 하부 전극층(202), 저항층(204), 게이트 절연층
 (206), 게이트 전극층(208) 및 알루미늄층(210)을 형성하는 단계이다. 상기 게이트 절연
 층은 산화 실리콘(SiO_2) 또는 알루미늄 등과 같은 금속 산화물로 모두 형성 가능하나 본
 발명의 실시 예에서는 산화실리콘을 건식 식각하여 생성하는 산화 실리콘의 게이트 절
 연층을 사용하는 것을 예를 들어 설명하기로 한다.

- <16> 상기 도 2a에서와 같이 실리콘 기판, 고분자, 또는 유리 기판으로 형성되는 지지층(200) 상부에 음극용 금속 박막으로 텅스텐(W), 크롬(Cr), 니오븀(Nb) 알루미늄(Al), 티타늄(Ti) 또는 상기 금속들의 합금, 전도성 고분자 물질, 금속 산화물, 금속 질화물, 금속 황화물 등과 같은 전도성 물질을 스퍼터링 방법 또는 전자 빔 증착법을 통해 증착시켜 하부 전극층(202)을 형성시킨다.
- <17> 그리고 산화 실리콘을 저압 화학 기상법 또는 반응성 스퍼터링을 이용하여 하부 전극층(202) 상부에 저항층(204)을 형성시킨 후, 연속 공정으로 산화 실리콘층(206)을 형성시킨다. 이어 상기 산화 실리콘층(206) 상부에 스퍼터링 방법을 이용하여 게이트 전극층(208)과, 알루미늄층(210)을 차례로 형성시킨다. 상기 저항층은 산화 실리콘(SiO_2) 이외에도 금속 산화물로 형성가능하다.
- <18> 도 2b는 상기 알루미늄층(210)에 초미세 홀을 가지는 알루미나층(212)를 형성하는 단계이다.
- <19> 상기 도 2b에서와 같이 초미세 홀을 가지는 알루미나층(212)를 형성시키기 위한 양극 산화 공정은 우선 알루미늄 박막 표면의 거칠기를 제거하기 위한 전해연마를 수행한 후, 일정한 온도의 인산(Phosphoric acid)이나 옥살산(Oxalic acid), 황산(Sulfuric acid) 용액 속에서 알루미늄을 양극으로 사용하여 10~200V의 직류 전압을 인가함으로써 나노미터 크기의 미세 홀을 갖는 알루미나층(212)를 형성시키게 된다.
- <20> 도 2c 및 도 2d는 알루미나층(212)에 형성된 초미세 홀 구조가 산화 실리콘층(206)에 동일하게 형성되도록 하기 위해 상부 알루미나(212)의 배리어 층(214)과 게이트 전극층(208)을 식각하는 단계 및 산화 실리콘층(206)을 알루미나층(212)의 각 미세 홀과 단

일채널로 연결되는 미세 홀 구조가 형성된 산화 실리콘층(206)으로 형성시키는 단계이다

<21> 상기 도 2c 및 도 2d에서와 같이, 우선 건식 식각을 이용하여 상부 알루미늄(212)의 배리어 층(Barrier Layer)(214)과 게이트 전극층(208)을 식각시킨다.

<22> 이때 배리어 층(214)과 게이트 전극층(208)의 건식 식각을 위해서는 반응성 이온 식각(Reactive ion etching)방법이 주로 사용되며, CF_4 와 O_2 의 혼합가스에서 실시 가능하다. 상기 건식 식각을 수행하면 배리어 층(214)과 게이트 전극층(208)이 식각되어 산화 실리콘층(206)의 표면이 상부 알루미늄층(212)의 각 미세 홀 아래로 노출되게 된다. 따라서 상기 건식 식각 후, 산화 실리콘층(206)도 같은 방법으로 건식 식각하면 알루미늄층(212)의 각 미세 홀과 단일채널로 연결되는 미세 홀 구조를 가지는 산화 실리콘층(206)으로 형성된다.

<23> 도 2e는 산화 실리콘층(206)에 형성된 초미세 홀 내에 전계방출을 위한 에미터(218)를 형성하는 단계이다.

<24> 상기 도 2e의 에미터 형성단계에서 각각의 미세 홀 내에 형성되는 에미터(218)는 금속을 산화 실리콘층(206)내 미세 홀 바닥부로부터 성장시켜 해당 금속을 에미터로 사용하거나, 탄소 나노구조를 에미터로 사용하는 방법을 통해 각 미세홀 내에 형성된다. 상기 금속을 미세 홀에 성장시키기 위해서는 금속 황산염(Metal Sulfate), 금속 질산염(Metal Nitrate), 금속 염화물(Metal Chloride) 용액에 직류, 교류 혹은 펄스를 가해준다. 이때 성장되는 금속의 길이는 가해주는 전류 시간에 따라 조절 가능하며, 사용 가능한 금속으로는 내열성이 좋은 탄탈륨(Ta), 크롬(Cr), 몰리브덴(Mo), 코발트(Co), 니켈(Ni), 티타늄(Ti) 등이 있다.

- <25> 상기에서, 특히 탄소 나노구조는 탄소 나노튜브, 탄소 나노화이버, 비정질 탄소 및 탄소 나노입자를 말하는 것으로, 이중 탄소 나노튜브는 기계적 강도, 화학적인 안정성, 전계 강화 효과(Field enhancement factor) 등의 특성으로 인해 에미터로의 중요성이 부각되고 있다.
- <26> 본 발명의 실시 예에서 에미터로 사용된 상기 탄소 나노튜브는 탄화수소, 일산화탄소, 수소 등의 혼합가스를 200~800℃에서 열분해 하거나 플라즈마 분해하는 방법, 또는 미리 합성된 탄소 나노튜브를 시올화(Thiolization) 및 금(Au)-황(S) 화학 결합시키는 공정을 통해 각 미세 홀 내에 성장된다. 이때 상기 탄소 나노튜브의 성장을 위해서는 촉매 금속이 필요한데, 이를 위해서는 전술한 바와 같은 금속 성장법을 이용하게 된다.
- <27> 한편, 본 발명의 실시 예에서는 상기 탄소 나노구조 중 탄소 나노튜브를 에미터로 사용하는 예를 들어 설명하였으나, 탄소 나노튜브와 같이 탄소 나노화이버, 비정질 탄소 및 탄소 나노입자 또한 에미터로 사용될 수 있다.
- <28> 또한, 상기한 바와 같이 각각의 미세 홀내 형성되는 에미터(218)는 게이트 전극층(208)에 가능한 한 가까이 성장시키게 되는데, 이는 에미터(218)와 게이트 전극층(208) 간 거리가 가까울수록 구동 전압을 낮추는데 유리하기 때문이다. 또한 본 발명의 실시 예에서는 게이트 절연층으로 사용된 산화 실리콘층 내 각 미세홀내 하나의 에미터를 형성시키는 것을 예를 들어 설명하였으나, 상기 에미터의 개수는 에미터의 크기에 따라 선택적으로 하나 이상의 개수로 형성가능하다. 그리고, 본 발명의 실시 예에서는 금속 또는 탄소물질로 에미터를 형성시키는 예를 보였으나, 상기 에미터는 갈륨 질화물(GaN), 티타늄 산화물(TiO₂), 카드뮴 황화물(CdS) 등과 같은 반도체 물질을 이용하여서도 형성할 수 있다.

- <29> 도 2f는 3극 구조의 밀폐와 양극으로의 사용을 위한 상부 전극층(220)을 형성하는 단계이다.
- <30> 상기 도 2f에서와 같이 산화 실리콘층(206)의 미세 홀 내에 에미터(218)를 형성한 후, 구조의 밀폐와 양극으로의 사용을 위한 상부 전극층(220)의 형성을 위해 전자 빔 증착법이나 열 증착법(Thermal evaporation)을 이용하여 상부 전극용 증착 물질을 상부 알루미늄층(212) 상부에 증착시킨다.
- <31> 상기에서 금속의 증착 공정은 진공에서 이루어지기 때문에 전계 방출 소자 내부의 진공도는 상부 전극층 증착시의 진공도와 일치하게 되며, 이때 사용 가능한 금속은 게터(Getter) 역할을 할 수 있는 티타늄(Ti), 니오븀(Nb), 몰리브덴(Mo), 탄탈륨(Ta) 등이 될 수 있다.
- <32> 한편 상술한 본 발명의 설명에서는 구체적인 실시 예에 관해 설명하였으나, 여러 가지 변형이 본 발명의 범위에서 벗어나지 않고 실시될 수 있다. 따라서 발명의 범위는 설명된 실시 예에 의하여 정할 것이 아니고 특허청구범위에 의해 정하여져야 한다.

【발명의 효과】

- <33> 이상에서 설명한 바와 같이, 본 발명은 전계방출 소자의 구조를 일체화된 진공 미세 3극 구조로 구현함으로써, 종래의 전자 빔 리소그래피 방법을 이용하지 않고도 일정한 크기와 배열을 가지는 미세 홀을 얻을 수 있으며, 또한 낮은 전압에서도 높은 전류밀도를 가지는 소자를 얻을 수 있게 되는 이점이 있다.

【특허청구범위】**【청구항 1】**

양극산화 공정을 이용한 일체형 3극 구조를 가지는 전계방출 소자에 있어서,
지지층 상부에 증착 형성되어 전계 방출 소자의 음극으로 사용되는 하부
전극층과;
균일한 전계방출 특성을 위해 상기 하부 전극 상부에 증착 형성되는 저항층과;
게이트 홀로 사용되는 다수의 미세 홀이 형성된 게이트 절연층과;
상기 게이트 절연층 상부에 형성되는 게이트 전극층과;
상기 게이트 전극 상부에 절연층으로, 게이트 절연층의 홀과 단일채널을 이루는
알루미나층과;
구조의 밀폐와 양극으로 사용되는 상부 전극층과;
상기 게이트 절연층에 형성된 각 미세 홀 내 생성되며, 고 전계에서 전자를 방출하
는 에미터;를 포함하는 것을 특징으로 하는 일체형 3극 구조 전계방출 소자.

【청구항 2】

제1항에 있어서,
상기 지지층은, 부도체, 반도체 및 도체로 형성하는 것을 특징으로 하는 일체형 3
극 구조 전계방출 소자.

【청구항 3】

제2항에 있어서,

상기 지지층으로 사용되는 부도체는, 웨이퍼, 유리, 고분자 물질 중 어느 하나인 것을 특징으로 하는 일체형 3극 구조 전계방출 소자.

【청구항 4】

제2항에 있어서,

상기 지지층으로 사용되는 반도체는, 실리콘 웨이퍼인 것을 특징으로 하는 일체형 3극 구조 전계방출 소자.

【청구항 5】

제1항에 있어서,

상기 하부 전극층은, 전도성 물질로 형성하는 것을 특징으로 하는 일체형 3극 구조 전계방출 소자.

【청구항 6】

제5항에 있어서,

상기 하부 전극층으로 형성되는 전도성 물질은, 텅스텐(W), 크롬(Cr), 니오븀(Nb), 알루미늄(Al), 티타늄(Ti), 상기 금속들의 합금, 전도성 고분자 물질, 금속 산화물, 금속 질화물 및 금속 황화물 중 어느 하나인 것을 특징으로 하는 일체형 3극 구조 전계방출 소자.

【청구항 7】

제1항에 있어서,

상기 저항층은, 산화 실리콘(SiO_2) 또는 금속 산화물로 형성하는 것을 특징으로 하는 일체형 3극 구조 전계방출 소자.

【청구항 8】

제1항에 있어서,

상기 게이트 절연층은, 산화 실리콘(SiO_2) 또는 금속 산화물로 형성하는 것을 특징으로 하는 일체형 3극 구조 전계방출 소자.

【청구항 9】

제1항에 있어서,

상기 에미터는, 금속, 반도체 또는 탄소 물질로 형성하는 것을 특징으로 하는 일체형 3극 구조 전계방출 소자.

【청구항 10】

제9항에 있어서,

상기 에미터 형성을 위해 사용되는 금속물질은, 금(Au), 백금(Pt), 니켈(Ni), 몰리브덴(Mo), 텅스텐(W), 탄탈륨(Ta), 크롬(Cr), 티타늄(Ti), 코발트(Co), 세슘(Cs), 바륨(Ba), 하프늄(Hf), 니오븀(Nb), 철(Fe), 루비듐(Rb) 및 상기 금속들의 합금 중 어느 하나인 것을 특징으로 하는 일체형 3극 구조 전계방출 소자.

【청구항 11】

제9항에 있어서,

상기 에미터 형성을 위해 사용되는 반도체 물질은, 갈륨 질화물(GaN), 티타늄 산화물(TiO_2), 카드뮴 황화물(CdS) 중 어느 하나인 것을 특징으로 하는 일체형 3극 구조 전계방출 소자.

【청구항 12】

제9항에 있어서,

상기 에미터 형성을 위해 사용되는 탄소물질은, 탄소 나노 화이버, 탄소 나노튜브 및 비정질 탄소 중 어느 하나인 것을 특징으로 하는 일체형 3극 구조 전계방출 소자.

【청구항 13】

제1항에 있어서,

상기 게이트 전극층은, 전도성 물질로 형성하는 것을 특징으로 하는 일체형 3극 구조 전계방출 소자.

【청구항 14】

제13항에 있어서,

상기 게이트 전극층으로 사용되는 금속물질은, 금(Au), 텅스텐(W), 니오븀(Nb), 크롬(Cr), 알루미늄(Al), 티타늄(Ti), 전도성 고분자 물질, 금속 산화물, 금속 질화물 및 금속 황화물 중 어느 하나인 것을 특징으로 하는 일체형 3극 구조 전계방출 소자.

【청구항 15】

제1항에 있어서,

상기 상부 전극층은, 전도성 물질로 형성하는 것을 특징으로 하는 일체형 3극 구조 전계방출 소자.

【청구항 16】

제15항에 있어서,

상기 상부 전극층으로 사용되는 전도성 물질은, 알루미늄(Al), 티타늄(Ti), 바륨(Ba), 바나듐(V), 지르코늄(Zr), 니오븀(Nb), 탄탈륨(Ta), 크롬(Cr), 텅스텐(W) 전도성 고분자 물질 및 금속 산화물, 금속 질화물, 금속 황화물 중 어느 하나인 것을 특징으로 하는 일체형 3극 구조 전계방출 소자.

【청구항 17】

양극산화 공정을 이용한 일체형 3극 구조 전계방출 소자 제조 방법에 있어서,

(a) 지지층 상부에 음극용 하부 전극층을 형성시키는 단계와;

(b)상기 하부 전극층 상부에 저항층, 게이트 절연층, 게이트 전극층, 박막 알루미늄층을 순차적으로 형성시키는 단계와;

(c) 상기 알루미늄층을 양극 산화하여 다수의 미세 홀이 형성된 상부 알루미늄층을 형성시키는 단계와;

(d)상기 알루미늄층의 각 미세 홀이 게이트 절연층의 표면까지 형성되도록 상기 상부 알루미늄층의 배리어 층과 게이트 전극층을 식각시키는 단계와;

(e) 상기 게이트 절연층을 식각하여 상기 상부 알루미늄층의 각 미세 홀과 단일 채널로 연결되는 다수의 미세 홀이 형성된 게이트 절연층을 형성시키는 단계와;

(f)상기 게이트 절연층 각 미세 홀내에 고 전계에서의 전자 방출을 위한 에미터를 형성시키는 단계와;

(g)상기 알루미늄층 상부에 구조 밀폐 및 양극으로 사용되는 상부 전극층을 형성시키는 단계;를 포함하는 것을 특징으로 하는 일체형 3극 구조 전계방출 소자 제조 방법.

【청구항 18】

제17항에 있어서,

상기 (a)단계에서 하부 전극층은, 텅스텐(W), 크롬(Cr), 니오븀(Nb) 등과 같은 금속용 금속물질을 전자빔 증착, 열증착, 스퍼터링, 저압 화학기상법, 솔-젤 합성법, 전기 도금 및 무전해 도금법 중 어느 하나의 방법을 통해 박막 형태로 형성시키는 것을 특징으로 하는 일체형 3극 구조 전계방출 소자 제조 방법.

【청구항 19】

제17항에 있어서,

상기 (b)단계에서 절연층, 게이트 절연층, 게이트 전극층, 알루미늄층은, 전자빔 증착, 열증착, 스퍼터링, 저압 화학기상법, 솔-젤 합성법, 전기 도금 및 무전해 도금법 중 어느 하나의 방법을 통해 박막 형태로 형성되는 것을 특징으로 하는 일체형 3극 구조 전계방출 소자 제조 방법.

【청구항 20】

제17항에 있어서,

상기 알루미늄층은, 양극 산화법을 통해 다수의 미세 홀을 가지는 알루미늄나층으로 형성하는 것을 특징으로 하는 일체형 3극 구조 전계방출 소자 제조 방법.

【청구항 21】

제20항에 있어서,

상기 양극 산화법에 사용되는 전해질은, 산성을 띤 물질인 것을 특징으로 하는 일체형 3극 구조 전계방출 소자 제조 방법.

【청구항 22】

제20항에 있어서,

상기 양극 산화법에 사용되는 전해질은, 옥살산(oxalic acid), 황산(sulfuric acid), 인산(phosphoric acid), 크롬산(chromic acid) 중 어느 하나인 것을 특징으로 하는 일체형 3극 구조 전계방출 소자 제조 방법.

【청구항 23】

제17항에 있어서,

상기 (d)단계에서 배리어 층과 게이트 전극층은, 이온 밀링, 건식 식각 및 습식 식각을 통해 식각되는 것을 특징으로 하는 일체형 3극 구조 전계방출 소자 제조 방법.

【청구항 24】

제17항에 있어서,

상기 (e)단계에서 게이트 절연층은, 이온 밀링, 건식 식각, 습식 식각 및 양극 산화 중 어느 하나를 통해 다수의 미세홀이 형성된 게이트 절연층으로 형성되는 것을 특징으로 하는 일체형 3극 구조 전계방출 소자 제조 방법.

【청구항 25】

제17항에 있어서,

상기 (f)단계에서 에미터는, 금속물질을 상기 하부 알루미늄층 내 각 미세 홀 바닥부로부터 성장시켜 형성하는 것을 특징으로 하는 일체형 3극 구조 전계방출 소자 제조 방법.

【청구항 26】

제25항에 있어서,

상기 금속물질의 성장은, 금속 황산염, 금속 질산염, 금속 염화물 용액에 직류, 교류 또는 펄스 전압을 인가하여 수행하는 것을 특징으로 하는 일체형 3극 구조 전계방출 소자 제조 방법.

【청구항 27】

제25항에 있어서,

상기 금속물질의 성장은, 게이트 전극층 표면을 화학적으로 활성화시킨 후 금속 황산염, 금속 질산염, 금속 염화물 용액으로 전압 인가 없이 수행하는 것을 특징으로 하는 일체형 3극 구조 전계방출 소자 제조 방법.

【청구항 28】

제17항에 있어서,

상기 (f)단계에서 에미터는, 에미터로의 사용을 위해 미리 합성한 금속을 게이트 절연층 각 미세홀 내에 부착시켜 형성하는 것을 특징으로 하는 일체형 3극 구조 전계방출 소자 제조 방법.

【청구항 29】

제17항에 있어서,

상기 (f)단계에서 에미터는, 상기 게이트 절연층 내에서 직접 탄소 나노구조를 합성하여 형성하는 것을 특징으로 하는 일체형 3극 구조 전계방출 소자 제조 방법.

【청구항 30】

제29항에 있어서,

상기 탄소 나노구조는, 열분해 합성을 통해 형성되는 탄소 나노튜브, 탄소 나노화이버, 비정질 탄소 및 탄소 나노입자 중 하나인 것을 특징으로 하는 일체형 3극 구조 전계방출 소자 제조 방법.

【청구항 31】

제30항에 있어서,

상기 탄소 나노구조의 열분해 합성은, 탄화수소, 일산화탄소, 수소 등의 혼합가스를 200~800℃에서 열분해 합성하는 것임을 특징으로 하는 일체형 3극 구조 전계방출 소자 제조 방법.

【청구항 32】

제29항에 있어서,

상기 탄소 나노구조는, 플라즈마 분해 합성을 통해 형성되는 탄소 나노튜브, 탄소 나노화이버, 비정질 탄소 및 탄소 나노입자 중 하나인 것을 특징으로 하는 일체형 3극 구조 전계방출 소자 제조 방법.

【청구항 33】

제17항에 있어서,

상기 (f)단계에서 에미터는, 에미터로의 사용을 위해 미리 합성된 탄소 나노구조를 시올화(Thiolization) 및 금(Cu)-황(S) 화학 결합 공정을 통해 형성하는 것을 특징으로 하는 일체형 3극 구조 전계방출 소자 제조 방법.

【청구항 34】

제17항에 있어서,

상기 (f)단계에서 에미터는, 에미터로의 사용을 위해 미리 합성된 탄소 나노구조를 전기영동(Electrophoresis)법을 통해 형성하는 것을 특징으로 하는 일체형 3극 구조 전계방출 소자 제조 방법.

【청구항 35】

제17항에 있어서,

상기 (f)단계에서 에미터는, 미세 홀 당 1개 이상으로 형성하는 것을 특징으로 하는 일체형 3극 구조 전계방출 소자 제조 방법.

【청구항 36】

제17항에 있어서,

상기 상부 전극층은, 양극용 금속물질을 전자빔 증착, 열증착, 스퍼터링, 저압 화학기상법, 솔-젤 합성법, 전기 도금 및 무전해 도금법 중 어느 하나의 방법을 통해 박막 형태로 형성되는 것을 특징으로 하는 일체형 3극 구조 전계방출 소자 제조 방법.

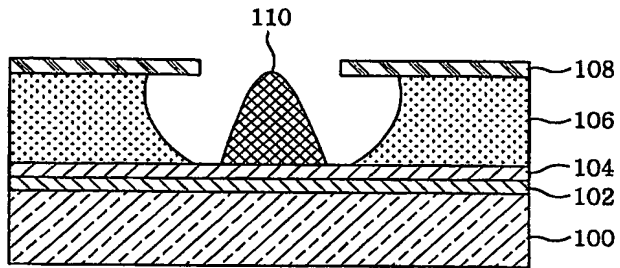
【청구항 37】

제36항에 있어서,

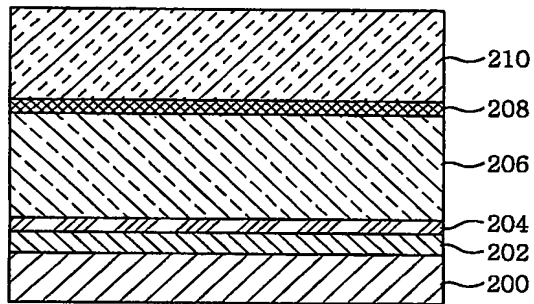
상기 양극용 금속물질의 증착 공정은, 진공 상태에서 수행하는 것을 특징으로 하는 일체형 3극 구조 전계방출 소자 제조 방법.

【도면】

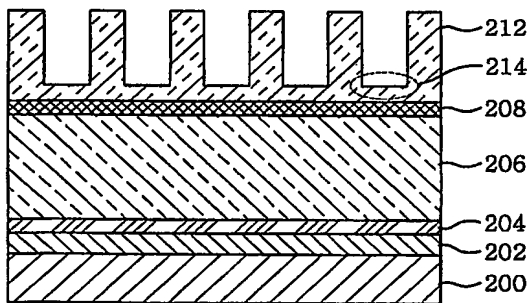
【도 1】



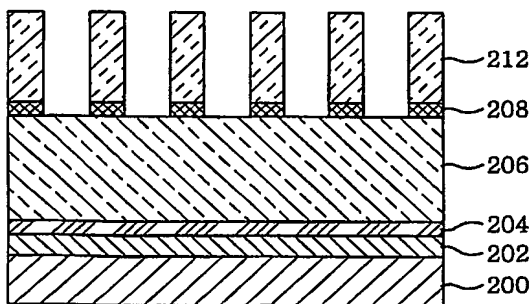
【도 2a】



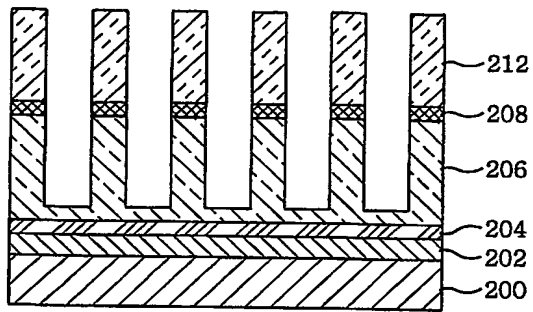
【도 2b】



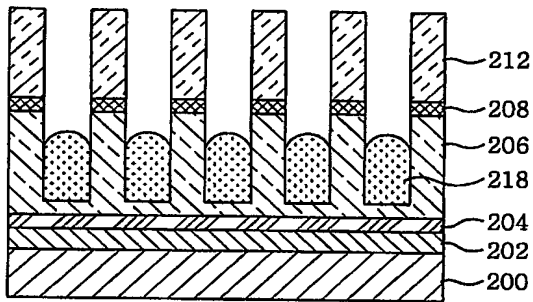
【도 2c】



【도 2d】



【도 2e】



【도 2f】

